

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-166901

(43)公開日 平成5年(1993)7月2日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	FI	技術表示箇所
H 0 1 L 21/66	E	8406-4M		
23/02	B	7220-4M		
23/50	X	9272-4M		
	Y	9272-4M		

審査請求 未請求 請求項の数4(全 4 頁)

(21)出願番号 特願平3-331692

(22)出願日 平成3年(1991)12月16日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 井出 博史

群馬県高崎市西横手町111番地 株式会社

日立製作所高崎工場内

(72)発明者 浦上 憲

群馬県高崎市西横手町111番地 株式会社

日立製作所高崎工場内

(74)代理人 弁理士 小川 勝男

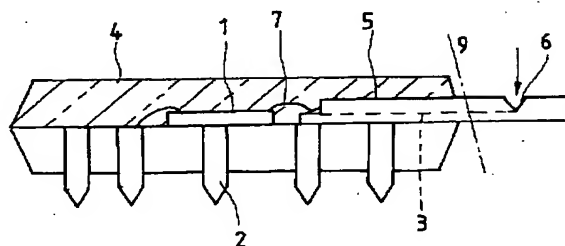
(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 テスト用リードを有し、同時に多数のデータ入力・出力を必要とするテストに対応でき、完成後に単純化された半導体パッケージを得る。

【構成】 専用のテスト用リードを一まとめにして引き出し、外部で切り離す。引き出されるテスト用リードは別のパッケージ部材により固めてその上を本体のパッケージ部材で覆うようにする。これによりテスト時間を短縮でき、同時にパッケージの小型化が有利となる。

【図 3】



1

【特許請求の範囲】

【請求項 1】 半導体素子と素子から取り出された複数の入出力用リード部材と、上記素子と複数のリード部材とが封止されたパッケージ部材とからなる半導体装置であって、上記複数のリード部材とは別に素子内から複数のテスト用リードがまとめて引き出され、その上をパッケージ部材で覆われ、テスト後には上記テスト用リードはパッケージ部材からの露出部分で切り離されるようにしたことを特徴とする半導体装置。

【請求項 2】 請求項 1 の半導体装置において、複数のテスト用リードは半導体素子を封止する第 1 のパッケージ部材とは別の第 2 のパッケージ部材により封止され、ワイヤリードを介して素子に接続され、それらを覆って第 1 のパッケージ部材で封止された状態で、パッケージ部材からの露出するワイヤ部分でテストが行われるとともに、露出する第 2 のパッケージ部材ごとにテスト用リードが切り離されるようになっている。

【請求項 3】 請求項 1 の半導体装置において、テスト用リードによりアレイ状にチップ内に形成された抵抗、容量の接続ないし切り離しによるトリミングを行なう。

【請求項 4】 請求項 1 の半導体装置において、素子から取り出される複数のリード部材のパッケージ外部の取出し部分はデュアル・イン・ライン形状とし、テスト用リードはこれと異なる形状を有する。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はテスト用リードを有する半導体装置に関する。

【0002】

【従来の技術】 IC、LSI などの半導体装置においては、半導体回路から引き出される複数の入出力リード（ピン）以外に、それに対応する数の複数のテスト用入出力リード（ピン）が必要であり、たとえば回路用ピン 40 本に対してテスト用ピンは 24 本必要とする。テスト時間を少なくするためには全部のピンの数を多くすればテスト時間が少なくてすむが、そのためにピン数が膨大となる。しかし、半導体パッケージの構造やスペースを考えればピンの数には限界がある。そこで従来では回路用ピンとテスト用ピンの一部を兼用させることが行われる。たとえば、1 本のピンに対して時分割にデータを入れたり、本来は入力専用のピンであるのにテスト用に入力ベツファを持たせたりすることにより、ピンの不足を補っている。

【0003】

【発明が解決しようとする課題】 特に同時に多数のデータ入力・出力を必要とするテストを行なうためには、前記した従来の構造では充分に対応しきれない。たとえば、カラーバレット LSI では、内部に 256 ワード × 24 ビット構成のデュアルポート RAM を持っているが、これをテストするためには計 88 本のピンを必要と

2

する。また、HDD（ハードディスクドライブ）用の ENDEC などでは、内部のアナログ回路を樹脂モールドされた状態でトリミングするために、アレイ状の抵抗、容量を予め用意し、各々についてトリミング後には必要のないピンが多数付くことになる。なお、通常のトリミングはモールド以前に行なうが、モールド前後ではレジン（樹脂）の張力等により特性が変動してしまい好ましくない。

【0004】 本発明において解決しようとする問題点は、同時に多数のデータ入力・出力を必要とするテストにも充分に対応できるテスト用のリードを有するパッケージ構造をうることである。

【0005】

【課題を解決するための手段】 本発明は半導体素子から引き出される入力・出力用リード部材とは別に複数の専用のテスト用リード部材を引き出し、テスト後にパッケージ部材から露出した部分でひとまとめに切り離すようにしたことを特徴とする。これによりテスト時間を短縮できるとともに、テスト用リードの数を削減してパッケージの小型化を実現できる。

【0006】 本発明はまた、前記パッケージ構造において、第 2 のパッケージ部材により封止したテスト用リード部材を半導体素子、入力・出力用リード部材とともに第 1 のパッケージ部材（本体）により封止し、露出する部分で本体から切り離すことを特徴とする。これにより、前記したパッケージ構造の半導体装置の製造が容易となる。

【0007】

【実施例】 図 1 は本発明を DIP（デュアル・インライン・パッケージ）に適用した場合の一実施例の一部切欠き斜視図である。1 は半導体素子（IC チップ）、2 は素子の IC 回路から取り出された複数の入・出力用リード（レギュラーピン）、3 はテスト用回路から取り出されたテスト用リード（テスト用ワイヤ）、7 はボンディングワイヤ、4 は全体を封止するパッケージ部材（樹脂成形体、本体レジン）である。テスト用リードはまとめてパッケージの一方側より引き出され、パッケージングの状態ですべてに供され、その後切断して切り離される。

【0008】 図 2 は本発明のパッケージ要部の一実施例であって、本体パッケージと別に樹脂（パッケージ部材 5）で固めたテスト用リード 3 を示す斜視図である。テスト用リード（ワイヤ）3 の先端にパッド 8 を設けてあり、半導体チップ 1 にボンディングワイヤ 7 を介して接続し、この状態で第 1 のパッケージ部材（樹脂成形体）4 でモールドして図 3 に示す形態となし、切り欠き部 6 で露出する部分で適当なガイドを用いてテストを行なう。テスト後、図 3 の切断線（面）9 で樹脂ごとワイヤ 3 を切り離すことにより通常のパッケージの形をうる。

【0009】 図 4 は本発明をアナログ回路のフィルタの

50

3

トリミングに適用した場合の一実施例を一部結線図で示す。アレイ状に用意された抵抗R、容量Cの端子にそれぞれテスト用のピン（ワイヤリード）10を接続する。パッケージが完了し、トリミング時にはフィルタの特性を検知しながらテストピンを通して電圧を加え、必要とする部分でワイヤ（ヒューズ）11で焼き切つてトリミングを行なう。

【0010】図5は本発明をDIPに適用した場合の他の一実施例を一部切り欠け斜面図で示す。半導体チップ1のIC回路から取り出されたワイヤはDIP用の通常のピン2によりパッケージ本体4の外部へ引き出される。一方、テスト用入出力回路から取り出されたワイヤは容易に切り離すことのできる細い特定形状のリード（ピン）12に接続され、テスト後、まとめて切り離すようになっている。

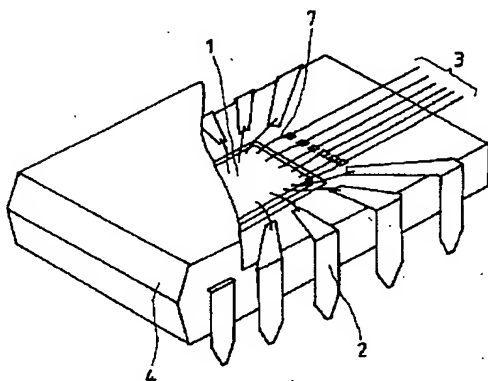
【0011】

【発明の効果】以上説明したように本発明によれば、半導体装置として完成後には使用しないテスト専用のピンをそなえ、テスト後はテスト用ピンをまとめて切り離してしまうことで、複雑なテスト項目、低コスト化の面で有効に対処できる。抵抗や容量を有するICの場合、従来は成形（モールド）前の段階でトリミングしたものだが、本発明では成形後にもトリミングができ、成形時に生じる特性劣化を防止することが可能である。

【0012】テスト用リード（ピン）を予めまとめておき、樹脂成形により固化することにより、通常のリードと区別した状態でパッケージの形成が容易となる。また、成形後のテスト、切り離しも簡単にできる。さらに

【図1】

【図1】



4

フレーム形成時にDIPピンの他にテスト用として形状の異なるピン、たとえば、QFPのような小形のピンを用意することにより、テストの際の区別がしやすく、また、切り離し作業にも有利となる。

【図面の簡単な説明】

【図1】 本発明の一実施例を示す半導体装置の内部透視斜面図である。

【図2】 本発明の一実施例を示す樹脂で固化されたテスト用リードの斜視図である。

【図3】 本発明の一実施例を示す半導体装置の一部断面正面図である。

【図4】 本発明の一実施例のアナログフィルタのトリミングの態様を示す一部結線図である。

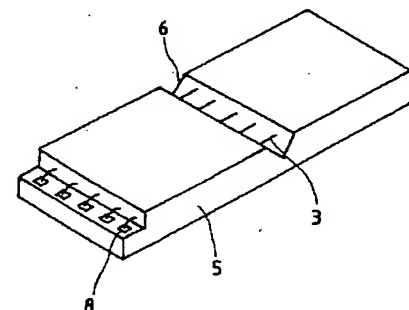
【図5】 本発明の他の一実施例を示す半導体装置の内部透視斜視図である。

【符号の説明】

- 1 半導体素子（ICチップ）
- 2 通常の入出力用リード（ピン）
- 3 テスト用リード（ワイヤ）
- 4 パッケージ部材（樹脂成形体）
- 5 第2のパッケージ部材（テスト用リード成形樹脂）
- 6 樹脂の切り欠け部（テスト時に使用）
- 7 ボンディングワイヤ
- 8 パッド
- 9 切断面
- 10 テスト用リード（ワイヤリード）
- 11 ワイヤ（ヒューズ）
- 12 細い形状のリードピン

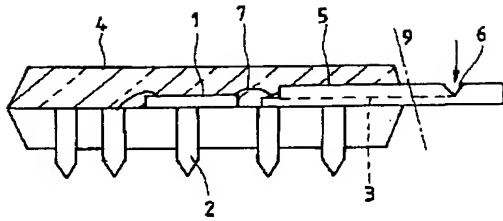
【図2】

【図2】



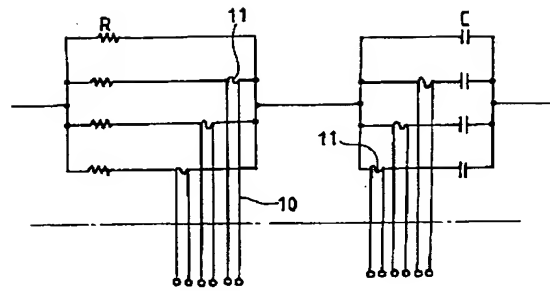
【図3】

【図3】



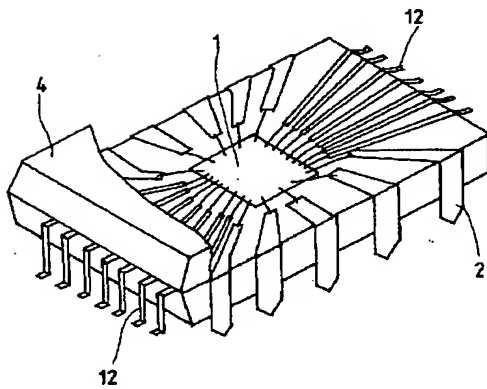
【図4】

【図4】



【図5】

【図5】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-166901
(43)Date of publication of application : 02.07.1993

(51)Int.Cl. H01L 21/66
H01L 23/02
H01L 23/50

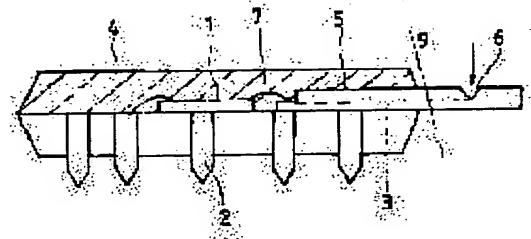
(21)Application number : 03-331692 (71)Applicant : HITACHI LTD
(22)Date of filing : 16.12.1991 (72)Inventor : IDE HIROSHI
URAGAMI KEN

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To obtain a semiconductor package having leads for testing, which can be coped with a test in which a plurality of data input/output are required and also can be simplified after completion.

CONSTITUTION: The leads 3, to be exclusively used for testing, are collectively led out, and they are cut off on the outside. The led out testing leads 3 are fixed by a package member 5, and they are covered with the package member 4 of the main body. As a result, the time for testing can be cut down, and at the same time, the package can be made small in size.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

Japanese Patent Publication Laid-Open No. Hei 05-166901

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

[Claim(s)]

[Claim(s)]

[Claim 1] It is the semiconductor device carry out that were the semiconductor device become from the package member by which two or more lead members for I/O taken out from the semiconductor device and the component, and the above-mentioned component and two or more lead members were closed, and two or more leads for a test are collectively pulled out out of a component independently, two or more above-mentioned lead members are covered by the package member in a it top, and the above-mentioned lead for a test was separated in the exposed part from a package member after a test as the description.

[Claim 2] In the semiconductor device of claim 1, two or more leads for a test are closed by the 2nd package member other than the 1st package member which closes a semiconductor device. It connects with a component through a wire lead, and in the condition of having covered them and having been closed by the 1st package member, while a test is performed in the wire part exposed from a package member, the lead for a test is separated every 2nd package member to expose.

[Claim 3] In the semiconductor device of claim 1, trimming by the connection thru/or the separation of resistance and capacity formed in the chip by the lead for a test at the shape of an array is performed.

[Claim 4] In the semiconductor device of claim 1, the amount of [of the package exterior of two or more lead members taken out from a component] takeoff connection considers as a dual in-line configuration, and the lead for a test has a different configuration from this.

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the semiconductor device which has the lead for a test.

[0002]

[Description of the Prior Art] In semiconductor devices, such as IC and LSI, the number corresponding to it needs two or more to be I/O led for a test (pin) in addition to two or more I/O leads (pin) pulled out from a semiconductor circuit, for example, 24 pins for SUTETO are needed to 40 pins for circuits. Although there will be little test time amount and it will end if the number of all pins is made [many] in order to lessen test time amount therefore, the number of pins becomes huge. However, considering the structure and the tooth space of a semiconductor package, there is a limitation in the number of pins. So, in the former, making some of pins for circuits and pins for a test make it serve a double purpose is performed. For example, lack of a pin is compensated by putting data into time sharing, or giving output BETSUFA to a test to one pin, although it is originally the pin of an input only.

[0003]

[Problem(s) to be Solved by the Invention] In order to perform the test which needs much data inputs and outputs simultaneously especially, with the above mentioned conventional structure, it cannot fully respond. For example, in-color palette LSI, although it has the dual port RAM of 256 word x24 bit pattern in the interior, in order to test this, a total of 88 pins is needed. Moreover, in ENDEC for HDD (hard disk drive), where a resin mould is carried out, in order to trim an internal analog circuit, array-like resistance and capacity will be prepared beforehand and many pins without the need will be attached after trimming about each. In addition, although the usual trimming is performed before a mould, it changes a property with the tension of resin (resin) etc. and is not desirable before and behind a mould.

[0004] The trouble which it is going to solve in this invention is dealing in the package structure of having the lead for a test which can fully respond also to the test which needs much data inputs and outputs simultaneously.

[0005]

[Means for Solving the Problem] It is characterized by separating this invention all together in the part which pulled out the lead member for a test of two or more dedication apart from the lead member for an input / output pulled out from a semiconductor device, and was exposed from the package member after the test. While being able to shorten test time amount by this, the number of the leads for a test is reduced and the miniaturization of a package can be realized.

[0006] This invention closes the lead member for a test closed by the 2nd package member in said package structure again by the 1st package member (body) with a semiconductor device and the lead member for an input / output, and it is characterized by separating from a body in the part to expose. Thereby, manufacture of the semiconductor device of the above mentioned package structure becomes easy.

[0007]

[Example] a part of one example when drawing 1 applies this invention to DIP (DEYUARU in-line package) – it is a notch perspective view. It is the package member (a resin Plastic solid, body resin) to which two or more close and leads for an output (regular pin) with which a semiconductor device (IC chip) and 2 were taken out for 1 from IC circuit of a component, the lead for a test (wire for a test) with which 3 was taken out from the circuit for a test, and 7 close a bonding wire, and 4 closes the whole. The lead for a test is collectively pulled out from the one side of a package, a test is presented with it in the state of packaging, and it is cut after that and separated.

[0008] Drawing 2 is one example of the package important section of this invention, and is the perspective view showing the lead 3 for a test hardened by resin (package member 5) apart from the body package. The pad 8 is formed at the head of the lead 3 for a test (wire), and it connects with a semiconductor chip 1 through a bonding wire 7, and tests using a suitable guide in the gestalt which carries out a mould by the 1st package member (resin Plastic solid) 4 in this condition and which is shown in drawing 3, and the part exposed in nothing and the notching section 6. It deals in the form of the usual package after a test by separating a wire 3 the whole resin with the cutting plane line (field) 9 of drawing 3.

[0009] Drawing 4 shows a part of one example at the time of applying this invention to the trimming of the filter of an analog circuit with schematics. The pin 10 for a test (wire lead) is connected to the terminal of the resistance R prepared in the shape of an array, and capacity C, respectively. A package being completed and detecting the property of a filter at the time of trimming, it burns off with a wire (fuse) 11 in the part which applies and needs an electrical potential difference through a test pin, and trimming is performed.

[0010] Drawing 5 shows a part of other one example at the time of applying this invention to DIP in

end chip slant-face drawing. The wire taken out from IC circuit of a semiconductor chip 1 is drawn out by the usual pin 2 for DIP in the exterior of a package body 4. On the other hand, it connects with the lead (pin) 12 of an easily separable thin specific configuration, and the wire taken out from the I/O circuit for a test is collectively separated after a test.

[0011]

[Effect of the Invention] According to this invention, as explained above, after completion, the pin only for tests which is not used is offered as a semiconductor device, and after a test is separating the pin for a test collectively, and can cope with it effectively in respect of a complicated test entry and low-cost-izing. In the case of IC which has resistance and capacity, it is possible to prevent conventionally property degradation which what was trimmed in the phase before shaping (mould) can do trimming also after shaping in this invention, and produces at the time of shaping.

[0012] Formation of a package becomes easy in the condition of having distinguished from the usual lead, by packing the lead for a test (pin) beforehand and solidifying with resin shaping. Moreover, the test after shaping and separation can also be simplified. By preparing the pin by which the configurations other than a DIP pin furthermore differ as an object for a test at the time of frame formation, for example, a small pin like QFP, it is easy to carry out distinction in the case of a test, and becomes advantageous also to a separation activity.

[Brief Description of the Drawings]

[Drawing 1] It is peek inside slant-face drawing of the semiconductor device in which one example of this invention is shown.

[Drawing 2] It is the perspective view of the lead for a test solidified by the resin in which one example of this invention is shown.

[Drawing 3] some semiconductor devices in which one example of this invention is shown -- it is a cross-section front view.

[Drawing 4] the mode of the trimming of the analog filter of one example of this invention is shown -- they are schematics a part.

[Drawing 5] It is the peek inside perspective view of the semiconductor device in which other one example of this invention is shown.

[Description of Notations]

1 Semiconductor Device (IC Chip)

2 The Usual Lead for I/O (Pin)

3 Lead for Test (Wire)

4 Package Member (Resin Plastic Solid)

5 2nd Package Member (Lead-Forming Resin for Test)

6 End Chip Section of Resin (it is Used at the Time of Test)

7 Bonding Wire

8 Pad

9 Cutting Plane

10 Lead for Test (Wire Lead)

11 Wire (Fuse)

12 Lead Pin of Thin Configuration

